

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 02-188957

(43)Date of publication of application : 25.07.1990

(51)Int.Cl.

H01L 27/108
H01L 29/784

(21)Application number : 01-008367

(71)Applicant : SANYO ELECTRIC CO LTD

(22)Date of filing : 17.01.1989

(72)Inventor : MATSUDA JUNICHI

AZUMA KOJI

KATO TOMOKO

OTA YUTAKA

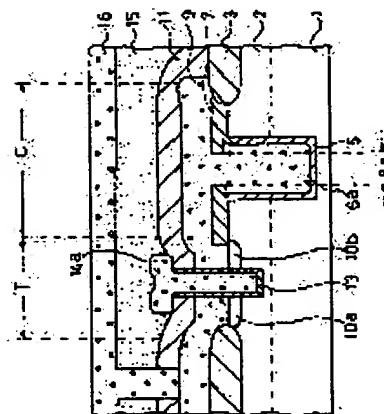
MIYAWAKI YOSHIHIKO

(54) SEMICONDUCTOR STORAGE DEVICE AND MANUFACTURE THEREOF

(57)Abstract:

PURPOSE: To connect a storage electrode of a storage capacitor to a drain electrode with good reproducibility and to simplify this connection process by a method wherein a transfer transistor and the storage capacitor are formed so as to be arranged in a transverse direction.

CONSTITUTION: In a semiconductor substrate 1, of one conductivity type, where a semiconductor layer 2 of an opposite conductivity type has been formed, the following are provided: a transfer transistor T composed of a source 10a and a drain 10b as one pair and of a word line 14a; and a storage capacitor C composed of a capacity insulating film 5 and a storage electrode 6a. Said transfer transistor T and said storage capacitor C are formed so as to be arranged in a transverse direction. A conductive film 9 connected to the source 10a or the drain 10b of the transfer transistor T is formed so as to be stretched on an element isolation film 7. The storage electrode 6a of said storage capacitor C is connected to said conductive film 9 via an opening part 8a which has been opened selectively in the element isolation film 7 on the storage electrode 6a.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報(A)

平2-188957

⑮ Int. Cl.⁵

識別記号

庁内整理番号

⑬ 公開 平成2年(1990)7月25日

H 01 L 27/108
29/7848624-5F H 01 L 27/10 3 2 5 H
8624-5F D
8422-5F 29/78 3 0 1 V

審査請求 未請求 請求項の数 3 (全8頁)

⑭ 発明の名称 半導体記憶装置及びその製造方法

⑰ 特 願 平1-8367

⑱ 出 願 平1(1989)1月17日

⑲ 発 明 者	松 田 順 一	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	東 浩 二	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	加 藤 知 子	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	太 田 豊	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 発 明 者	宮 脇 好 彦	大阪府守口市京阪本通2丁目18番地	三洋電機株式会社内
⑲ 出 願 人	三洋電機株式会社	大阪府守口市京阪本通2丁目18番地	
⑲ 代 理 人	弁理士 西野 卓嗣	外2名	

明 細 書

1. 発明の名称

半導体記憶装置及びその製造方法

2. 特許請求の範囲

(1) 反対導電型の半導体層(2)を形成した一導電型の半導体基板(1)に、一対のソース又はドレイン(10a又は10b)及びワード線(14a)から成る転送トランジスタ(I)と、容量絶縁膜(5)及び蓄積電極(6a)から成る蓄積キャパシタ(C)とを具備し、

前記転送トランジスタ(I)と、蓄積キャパシタ(C)とは横方向に並べて設けられ、

前記転送トランジスタ(I)のソース又はドレイン(10a又は10b)に接続された導電性の膜(9)が素子絶縁をする膜(7)上に延在して設けられ、

前記蓄積キャパシタ(C)の蓄積電極(6a)が、該蓄積電極(6a)上の素子絶縁をする膜(7)を選択的に開口された開口部(8a)を介して、

前記導電性の膜(9)と接続されて成ることを特徴とする半導体記憶装置。

(2) 反対導電型の半導体層(2)を設けた一導電

型の半導体基板(1)に、素子絶縁をする第1の膜(3)を形成して、転送トランジスタ形成領域(IA)及び蓄積キャパシタ形成領域(CA)を画定する工程と、

前記蓄積キャパシタ形成領域(CA)に、蓄積電極(6a)及び容量絶縁膜(5)から成る蓄積キャパシタ(C)を形成し、その後蓄積電極(6a)上に選択的に開口部(8a)を有する素子絶縁をする第2の膜(7)を形成する工程と、

前記転送トランジスタ形成領域(IA)に露出する反対導電型の半導体層(2)から少なくとも、前記素子絶縁をする第2の膜(7)上に延在する導電性の膜(9)を形成し、前記蓄積電極(6a)と、導電性の膜(9)とを接続する工程と、

前記転送トランジスタ形成領域(IA)に、ソース又はドレイン(10a, 10b)及びゲート(14a)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法。

(3) 一導電型の半導体基板(1)に、反対導電型の半導体層(2)を形成し、その後素子絶縁をする

第1の膜(3)を形成して、転送トランジスタ形成領域(TA)と、蓄積キャパシタ形成領域(CA)を画定する工程と、

前記蓄積キャパシタ形成領域(CA)の素子絶縁をする第1の膜(3)と、反対導電型の半導体層(2)と、一導電型の半導体基板(1)とを選択的に除去して、第1の開口部(4)を形成する工程と、

前記第1の開口部(4)の内面を絶縁して、容量絶縁膜(5)を形成し、その後第1の開口部(4)に不純物を含有した第1の多結晶半導体膜(6)を充填して、蓄積電極(6a)を形成する工程と、

前記蓄積電極(6a)を形成した半導体基板(1)上に素子絶縁をする第2の膜(7)を形成し、その後転送トランジスタ形成領域(TA)、及び蓄積キャパシタ形成領域(CA)の前記第2の膜(7)を選択的に除去して、反対導電型の半導体層(2)を露出する第2の開口部(8b)と、蓄積電極(6a)を露出する第3の開口部(8a)を形成する工程と、

前記第2, 3の開口部(8a, 8b)を形成した半導体基板(1)上に、選択的に不純物を含有した第2

の多結晶半導体膜(9)を形成し、反対導電型のウエル層(2)に一導電型の不純物拡散領域(10)を形成する工程と、

前記第2の多結晶半導体膜(9)を形成した半導体基板(1)上に、全面に素子絶縁をする第3の膜(11)を形成し、その後転送トランジスタ形成領域(TA)の該第3の膜(11)と、第2の多結晶半導体膜(9)と、一導電型の不純物拡散領域(10)と、反対導電型の半導体層(2)とを選択的に開口して、第4の開口部(12)を形成する工程と、

前記第4の開口部(12)の内面にゲート絶縁膜(13)を形成し、その後第4の開口部(12)に不純物を含有した第3の多結晶半導体膜(14)を充填し、転送トランジスタ(I)のゲート電極(14a)を形成する工程と、

前記ゲート電極(14a)を形成した半導体基板(1)上に素子絶縁をする第4の膜(15)を形成し、その後、該第4の膜(15)を選択的に除去して、前記第3の多結晶半導体膜(14)を露出し、該第3の多結晶半導体膜(14)と接続するビット線(16)を形成す

る工程とを有することを特徴とする半導体記憶装置の製造方法。

3. 発明の詳細な説明

(イ) 産業上の利用分野

本発明は、半導体記憶装置及びその製造方法に関するものであり、更に詳しく言えば、溝掘り技術を応用した高集積、高性能のダイナミックランダムアクセスメモリ(DRAM)セルの構造と、その形成方法に関するものである。

(ロ) 従来の技術

第3図は、従来例の半導体記憶装置及びその製造方法に係る説明図である。

同図は、特許出願公開 昭63-127564号公報に基づく半導体製造方法により形成された半導体記憶装置の断面図を示している。

図において、(T)は転送トランジスタであり、ビット線(30)に接続されるソース電極(28a)、蓄積キャパシタ(C)に接続されたドレイン電極(28b)及びフィールド絶縁膜(26)により絶縁されたゲート電極(29)から成る。ドレイン電極(28b)は、p*

型Si基板(21)上のp型Si層(22)に設けられたn型ウエル層(27)にp型不純物を拡散して形成されたものである。

(C)は蓄積キャパシタであり、容量絶縁膜(23)と、蓄積電極(24)から成る。蓄積キャパシタ(C)は、ドレイン電極(28b)下のn型ウエル層(27)と、p型Si層(22)と、p*型Si基板(21)とを選択的に溝掘りをし、その内面にSiO₂膜/Si₃N₄膜/SiO₂膜から成る容量絶縁膜(23)を形成し、その後p型の不純物を含有したポリSi膜を充填したものである。

(25)は首部であり、p型の不純物を含有したポリSi膜中のp型の不純物がドレイン電極(28b)のp*不純物拡散領域の方向に熱拡散したものである。

首部(25)は、ドレイン電極(28b)と、蓄積電極(24)とを電気的に接続するものである。

(ハ) 発明が解決しようとする課題

ところで、従来例によれば、転送トランジスタ(T)のドレイン電極(28b)と、蓄積電極(24)との接

統は、該ドレイン電極(28b)下の容量絶縁膜に設けられた開口部を介して、蓄積電極(24)中のp型の不純物が、熱処理によってドレイン電極(28b)の方向に自己整合的に垂直に立ち上る首部(25)により行っている。

このため、蓄積キャパシタ(C)を形成した後一旦蓄積電極(24)上を容量絶縁膜(24)と接する絶縁膜によって絶縁し、その後ソース・ドレイン領域形成の為にその絶縁膜上にエピタキシャル成長する必要がある。従って、ドレイン電極(28b)と、蓄積電極(24)との接合工程が複雑になる。また、ドレイン電極(28b)と、首部(25)とは熱処理条件によっては、再現性良く接続することができないという問題がある。

本発明は、かかる従来例の問題点に鑑み創作されたものであり、蓄積キャパシタを転送トランジスタのドレイン電極下に設けることなく、該蓄積キャパシタの蓄積電極と、ドレイン電極とを再現性良く接続し、該接続工程の簡略化を図ることを可能とする半導体記憶装置及びその製造方法の提

供を目的とする。

(二) 課題を解決するための手段

本発明の実施例に係る半導体記憶装置及びその製造方法を第1、2図に示すように、その装置を、反対導電型の半導体層(2)を形成した一導電型の半導体基板(1)に、一対のソース又はドレイン(10a又は10b)及びワード線(14a)から成る転送トランジスタ(T)と、容量絶縁膜(5)及び蓄積電極(6a)から成る蓄積キャパシタ(C)とを具備し、

前記転送トランジスタ(T)と、蓄積キャパシタ(C)とは、横方向に並べて設けられ、

前記転送トランジスタ(T)のソース又はドレイン(10a又は10b)に接続された導電性の膜(9)が素子絶縁をする膜(7)上に延在して設けられ、

前記蓄積キャパシタ(C)の蓄積電極(6a)が、該蓄積電極(6a)上の素子絶縁をする膜(7)を選択的に開口された開口部(8a)を介して、

前記導電性の膜(9)と接続されて成ることを特徴とする半導体記憶装置と、

反対導電型の半導体層(2)を設けた一導電型の

半導体基板(1)に、素子絶縁をする第1の膜(3)を形成して、転送トランジスタ形成領域(1A)及び蓄積キャパシタ形成領域(CA)を画定する工程と、

前記蓄積キャパシタ形成領域(CA)に、蓄積電極(6a)及び容量絶縁膜(5)から成る蓄積キャパシタ(C)を形成し、その後蓄積電極(6a)上に選択的に開口部(8a)を有する素子絶縁をする第2の膜(7)を形成する工程と、

前記転送トランジスタ形成領域(1A)に露出する反対導電型の半導体層(2)から少なくとも、前記素子絶縁をする第2の膜(7)上に延在する導電性の膜(9)を形成し、前記蓄積電極(6a)と、導電性の膜(9)とを接続する工程と、

前記転送トランジスタ形成領域(1A)に、ソース又はドレイン(10a、10b)及びゲート(14a)を形成する工程とを有することを特徴とする半導体記憶装置の製造方法と、

一導電型の半導体基板(1)に、反対導電型の半導体層(2)を形成し、その後素子絶縁をする第1の膜(3)を形成して、転送トランジスタ形成領域

(1A)と、蓄積キャパシタ形成領域(CA)を画定する工程と、

前記蓄積キャパシタ形成領域(CA)の素子絶縁をする第1の膜(3)と、反対導電型の半導体層(2)と、一導電型の半導体基板(1)とを選択的に除去して、第1の開口部(4)を形成する工程と、

前記第1の開口部(4)の内面を絶縁して、容量絶縁膜(5)を形成し、その後第1の開口部(4)に不純物を含有した第1の多結晶半導体膜(6)を充填して、蓄積電極(6a)を形成する工程と、

前記蓄積電極(6a)を形成した半導体基板(1)上に素子絶縁をする第2の膜(7)を形成し、その後転送トランジスタ形成領域(1A)、及び蓄積キャパシタ形成領域(CA)の前記第2の膜(7)を選択的に除去して、反対導電型の半導体層(2)を露出する第2の開口部(8b)と、蓄積電極(6a)を露出する第3の開口部(8a)を形成する工程と、

前記第2、3の開口部(8a、8b)を形成した半導体基板(1)上に、選択的に不純物を含有した第2の多結晶半導体膜(9)を形成し、反対導電型のウ

エル層(2)に一導電型の不純物拡散領域(10)を形成する工程と、

前記第2の多結晶半導体膜(9)を形成した半導体基板(1)上に、全面に素子絶縁をする第3の膜(11)を形成し、その後転送トランジスタ形成領域(IA)の該第3の膜(11)と、第2の多結晶半導体膜(9)と、一導電型の不純物拡散領域(10)と、反対導電型の半導体層(2)とを選択的に開口して、第4の開口部(12)を形成する工程と、

前記第4の開口部(12)の内面にゲート絶縁膜(13)を形成し、その後第4の開口部(12)に不純物を含有した第3の多結晶半導体膜(14)を充填し、転送トランジスタ(I)のゲート電極(14a)を形成する工程と、

前記ゲート電極(14a)を形成した半導体基板(1)上に素子絶縁をする第4の膜(15)を形成し、その後、該第4の膜(15)を選択的に除去して、前記第3の多結晶半導体膜(14)を露出し、該第3の多結晶半導体膜(14)と接続するビット線(16)を形成する工程とを有することを特徴とする半導体記憶装

置の製造方法により従来の問題点を大幅に改善した半導体記憶装置及びその製造方法を提供するものである。

(*) 作用

本発明の装置によれば、転送トランジスタ(I)と、蓄積キャパシタ(C)とは横方向に隣接して設けられている。

このため、転送トランジスタ(I)の一の電極(10b)と、蓄積キャパシタ(C)の蓄積電極(6a)とは、従来の首部から成る垂直接続体を介して縦方向に接続する構造に比べて、横方向において、接続することができる。これにより、接続工程の簡略化を図ることが可能となる。

また、本発明の方法によれば、転送トランジスタ形成領域(IA)の半導体基板(2)から、蓄積電極(6a)上の開口部(8a)を有する絶縁性の膜(7)上に延在する導電性の膜(9)を形成している。

このため、蓄積キャパシタ(C)の蓄積電極(6a)と、転送トランジスタ形成領域(IA)の半導体基板(1, 2)とは横方向において、再現性良く接続する

ことができる。

これにより、従来例のような垂直接続体により、蓄積電極(6a)と、転送トランジスタ(I)の一の電極(10b)とを接続する方法に比べて、第2の多結晶半導体膜(9)により転送トランジスタの一对の電極(10a, 10b)の引出し電極及びその一の電極(10b)、蓄積電極(6a)間の接続電極が同時に形成できることから、形成工程の簡略化を図ることが可能となる。

(ハ) 実施例

次に図を参照しながら本発明の実施例について説明をする。

第1, 2図は、本発明の実施例に係る半導体記憶装置及びその製造方法を説明する図であり、第1図は、本発明の実施例に係る半導体記憶装置の構造図である。

図において、(1)はp型Si基板、(2)はn型ウェル層、(3)はフィールド絶縁膜である。

(I)は、転送トランジスタであり、ビット線(16)に接続されたソース電極(10a)と、蓄積キャパ

シタ(C)に接続されたドレイン電極(10b)と、ワード線に接続され、かつ素子絶縁膜(11), (15)により絶縁されたゲート電極(14a)から成る。ドレイン電極(10b)は、p型Si基板(1)に設けられたn型ウェル層(2)にp型の不純物を熱拡散して形成されている。

(C)は蓄積キャパシタであり、蓄積電極(6a)と、容量絶縁膜(5)から成る。蓄積電極(6a)と、ドレイン電極(10b)とは、フィールド絶縁膜(3)の延長下に横方向に、隣接して並べられている。

また、蓄積電極(6a)と、ドレイン電極(10b)とは、フィールド絶縁膜(3)の延長に設けられた不純物を含有するポリSi膜(9)によって、該フィールド絶縁膜(3)に設けられた開口部(8a)を介して接続されている。

このようにして、転送トランジスタ(I)と、蓄積キャパシタ(C)とは、フィールド絶縁膜(3)下に横方向に並べて設けられている。

このため、転送トランジスタ(I)のドレイン電極(10b)と、蓄積キャパシタ(C)の蓄積電極(6a)と

は、従来の首部を介して、縦方向に接続する構造に比べて、横方向において、接続することができ、接続工程の簡略化を図ることが可能となる。

第2図(a)~(i)は、本発明の実施例に係る半導体記憶装置の形成工程図である。

図において、まず、 n 型ウエル層(2)を形成した p 型Si基板(1)を、選択LOCOS酸化法により熱処理する。このとき、フィールド絶縁膜(3)が形成され、その後、転送トランジスタ形成領域(TA)と、蓄積キャパシタ形成領域(CA)とを画定する(同図(a))。

次に、蓄積キャパシタ形成領域(CA)に開口部(4)を形成する。開口部(4)は、レジスト膜をマスクにして溝掘り技術により、絶縁膜、 n 型ウエル層(2)及び p 型Si基板(1)を除去する。開口部(4)の深さは、 $4[\mu m]$ 程度とし、RIEエッチング法により行なう(同図(b))。

次いで、開口部(4)の内面に容量絶縁膜(5)を形成する。容量絶縁膜(5)は、酸化膜厚換算で数100[Å]程度の SiO_2 膜/ Si_3N_4 膜/ SiO_2 膜とな

り、イオン注入法により、ポリSi膜(9)に BF_3^+ イオンを注入し、その後熱処理をする。熱処理条件は、 N_2 雰囲気中において、加熱温度を $900(^{\circ}C)$ 程度、加熱時間を30[分]程度とする。これにより、転送トランジスタ形成領域(TA)の n 型ウエル層(2)には、 p 型不純物が熱拡散し、 p 型不純物拡散領域(10)が形成される。また、蓄積電極(6a)と、ポリSi膜(9)が電気的に接続される。その後、ポリSi膜(9)をパターニングする。これにより、ソース・ドレイン引出し電極と、ドレイン電極(10b)、蓄積電極(6a)間の接続電極が同時に形成される(同図(e))。

次いで、減圧CVD法により、 BF_3^+ イオンを含有したポリSi膜(9)上に膜厚3000[Å]程度の SiO_2 膜(11)を形成し、その絶縁をする。その後、転送トランジスタ形成領域(TA)に開口部(12)を形成する。開口部(12)は、RIE法により、 SiO_2 膜(11)と、ポリSi膜(9)と、 p 型不純物拡散領域(10)とを貫き、 n 型ウエル層(2)に達する深さとなるように溝掘りされる(同図(f))。

るONO構造にする。その後、 p 型Si基板(1)の全面に膜厚6000[Å]程度のポリSi膜(6)を形成する。さらに、イオン注入法によりポリSi膜(6)に B^+ イオンを注入し、その後、加熱温度1000[$^{\circ}C$]程度の熱処理をする(同図(c))。

次に、 B^+ イオンを含有したポリSi膜(6)をエッチバックし、その後熱酸化を行なう。熱処理条件は、酸素雰囲気中で、加熱温度を $900(^{\circ}C)$ 程度、処理時間を30[分]程度とする。これにより、開口部(4)に充填されたポリSi膜(6)は、蓄積電極(6a)となる。その後、全面に減圧CVD法により、膜厚3000[Å]程度の SiO_2 膜(7)を形成する。さらに、RIE法により、レジスト膜をマスクにして、 SiO_2 膜(7)を選択的に除去し、転送トランジスタ形成領域(TA)の n 型ウエル層(2)を露出する開口部(8b)と、蓄積電極(6a)を露出する開口部(8a)とを形成する(同図(d))。

その後、減圧CVD法により開口部(8a, 8b)を形成した p 型Si基板(1)の全面に膜厚3000[Å]程度のポリSi膜(9)を成長する。さらに、

次に、開口部(12)のダミー酸化処理を行なう。その後、イオン注入法により、開口部(12)によって画定された一対の p 型不純物拡散領域(10a, 10b)のチャネルを形成する。チャネルインプラの条件は、 B^+ イオンのドーズ量を $1 \times 10^{12} [cm^{-2}]$ 程度、注入エネルギーは35[KeV]程度とする。これにより、 p 型不純物拡散領域(10a)はソース電極になり、また、(10b)はドレイン電極となる。その後、ダミー酸化膜をウエットエッチし、さらに減圧CVD法により、開口部(12)の底面に膜厚200[Å]程度の SiO_2 膜(13)を熱酸化により形成する。 SiO_2 膜(13)は、ゲート酸化膜となる(同図(g))。

次いで、ゲート酸化膜(13)を形成した開口部(12)にポリSi膜(14)を形成する。その後、イオン注入法によりポリSi膜(14)に $POCl_3$ を拡散し、加熱温度 $900(^{\circ}C)$ 程度において、活性化をする。さらに、ポリSi膜(14)をパターニングして、ワード線を形成する(同図(h))。

なお、同図(b)の形成工程後は、従来のように

ワード線を絶縁膜(15)により絶縁し、ソース電極(10a)から延在するポリSi膜(9)に接続するビット線(16)を形成する(同図(i))。

これ等の工程により、本発明の実施例に係る半導体記憶装置を製造することができる。

このようにして、転送トランジスタ形成領域(TA)に露出しているn型ウエル層(2)から、蓄積電極(6a)上の開口部(8a)を有するSiO₂膜(7)上に延在するポリSi膜(9)を形成している。

このため、蓄積キャパシタ(C)の蓄積電極(6a)と、転送トランジスタ形成領域(TA)に形成されたドレイン電極(10b)とは、横方向において、再現性良く接続することができる。

これにより、従来例のような首部から成る垂直接続体により、蓄積電極(6a)と、転送トランジスタ(I)のドレイン電極(10b)とを接続する方法に比べて、本発明の実施例では、ポリSi膜(9)により、ソース・ドレイン電極(10a, 10b)の引出し電極(13)及びドレイン電極(10b)、蓄積電極(6a)間の接続電極を同時に形成できることから形成工程

の簡略化をすることが可能となる。

(1) 発明の効果

以上説明したように本発明によれば、転送トランジスタと、蓄積キャパシタとを並べることによって、ドレイン電極及び蓄積電極の接続加工が容易になる。

このため、接続工程の簡略化を図ることができる。これにより、半導体記憶装置の製造コストの低下を図ることが可能となる。

4. 図面の簡単な説明

第1図は、本発明の実施例に係る半導体記憶装置の断面図、第2図(a)~(i)は、本発明の実施例に係る半導体記憶装置の形成工程を説明する断面図、第3図は、従来例の半導体記憶装置及びその製造方法に係る断面図である。

(符号の説明)

(1), (21)…一導電型の半導体基板(p型Si基板)、(2), (27)…反対導電型のウエル層(n型のウエル層)、(3), (26)…素子絶縁をする第1の膜(フィールド絶縁膜)、(4)…第1の

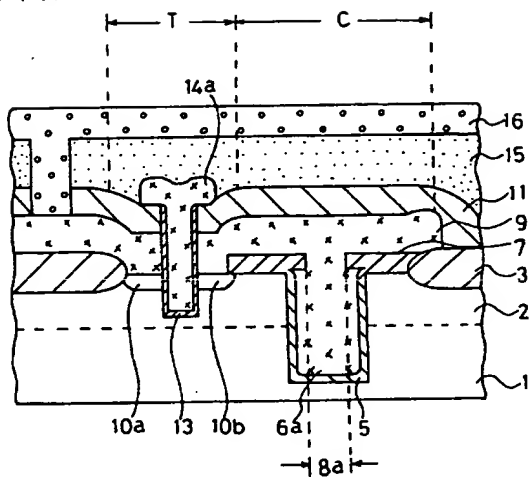
開口部(開口部)、(5), (23)…容量絶縁膜、(6)…導電性の膜(不純物を含有した第1の多結晶半導体膜、ポリSi膜)、(6a), (24)…蓄積電極、(7)…素子絶縁をする第2の膜(SiO₂膜)、(8a)…第2の開口部(開口部)、(8b)…第3の開口部(開口部)、(9)…導電性の膜(不純物を含有した第2の多結晶半導体膜、ポリSi膜)、(10)…p型不純物拡散領域、(10a), (28a)…p型不純物拡散領域(ソース電極)、(10b), (28b)…p型不純物拡散領域(ドレイン電極)、(11)…素子絶縁をする第3の膜(素子絶縁膜)、(12)…第4の開口部(開口部)、(13), (29)…ゲート酸化膜(ゲート絶縁膜)、(14)…導電性の膜(不純物を含有した第3の多結晶半導体膜、ポリSi膜)、(14a)…ゲート電極(ワード線)、(15)…素子絶縁をする第4の膜(素子絶縁膜)、(16), (30)…ビット線、(22)…p型Si層、(25)…首部(垂直接続体)、(I)…転送トランジスタ、(C)…蓄積キャパシタ、(TA)…転送トランジスタ形成領域、(CA)…蓄積キャパシタ形

成領域。

出願人 三洋電機株式会社

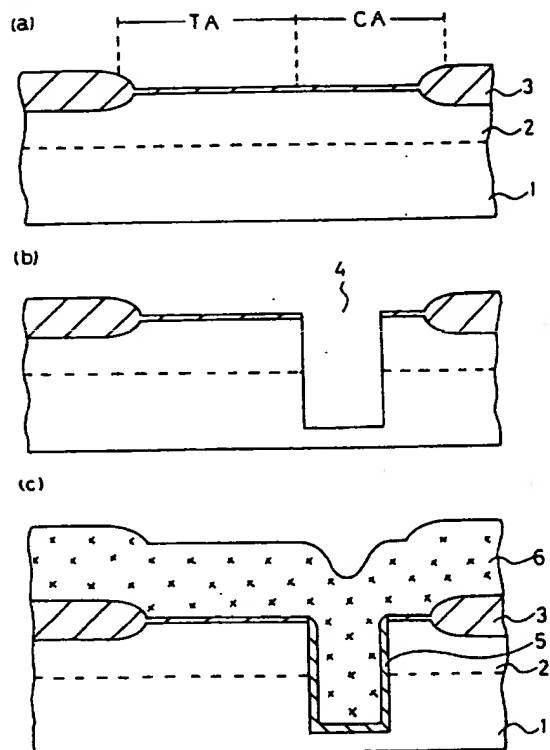
代理人 弁理士 西野卓嗣 外2名

第 1 図

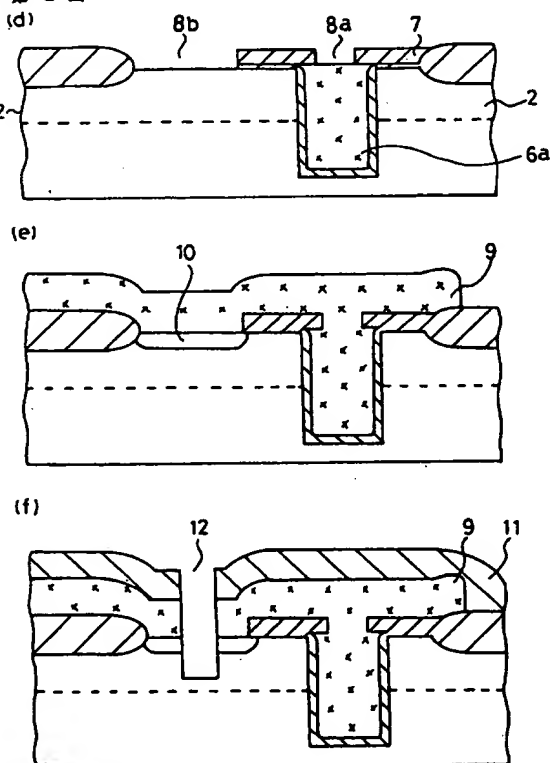


- T : 転送トランジスタ
C : 蓄積キャパシタ
1 : P型Si基板
2 : n型ウェル層
3 : フィールド絶縁膜
5 : 容量絶縁膜
6a : 蓄積電極
7 : SiO₂膜
8a : 開口部
9 : ポリSi膜
10a : ソース
10b : ドレイン
11 } 素子絶縁膜
15 : ゲート酸化膜
13 : ゲート酸化膜
14a : ゲート電極(ワード線)
16 : ビット線

第 2 図



第 2 図



第 2 図

